

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-37112

(43) 公開日 平成6年(1994)2月10日

(51) Int. Cl. ⁵

識別記号

F I

H01L 21/336

29/784

21/20

21/268

9171-4M

Z 8617-4M

9056-4M

H01L 29/78

311

Y

審査請求 未請求 請求項の数2 (全6頁)

(21) 出願番号 特願平4-186653

(22) 出願日 平成4年(1992)7月14日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 野口 隆

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

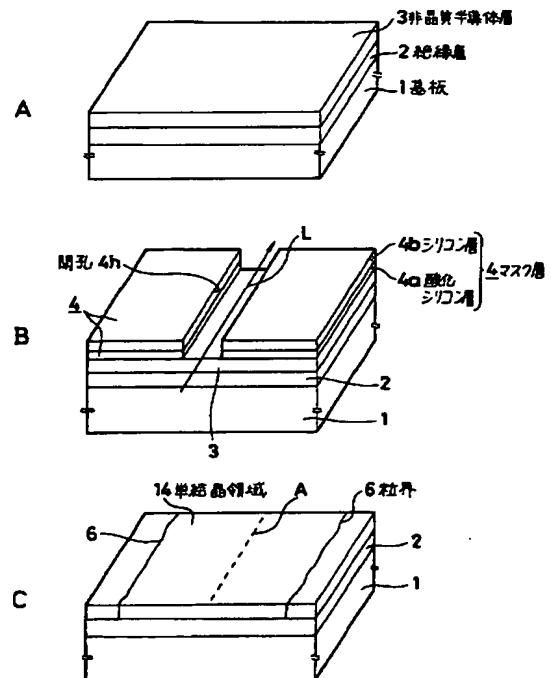
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 チャネル幅の比較的大なる薄膜トランジスタにおいても、充分そのキャリアの移動方向を横切る方向の粒界の発生を抑制して、より確実に活性層内の膜質を均一化してトランジスタの移動度 μ 等のばらつきを抑えて、薄膜トランジスタの高性能化をはかる。

【構成】 基板1上に少なくとも非晶質半導体層3を形成した後、非晶質半導体層3の活性領域が形成される領域に、キャリアの移動方向と垂直な方向に延長する線状パターンに輻射線を照射して線状に結晶成長核を形成した後、低温加熱により固相結晶成長して単結晶領域14を形成する。



本発明実施例の工程図

【特許請求の範囲】

【請求項 1】 基板上に少なくとも非晶質半導体層を形成した後、上記非晶質半導体層の活性領域が形成される領域に、キャリアの移動方向と垂直な方向に延長する線状パターンに輻射線を照射して線状に結晶成長核を形成した後、低温加熱により固相結晶成長して単結晶領域を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 基板上に少なくとも非晶質半導体層を形成した後、上記非晶質半導体層のソース領域又はドレイン領域が形成される領域に、キャリアの移動方向と垂直な方向に延長する線状パターンに輻射線を照射して結晶核を形成した後、低温加熱により固相結晶成長して単結晶領域を形成することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタの製造方法、特にシリコン薄膜を用いた薄膜トランジスタの製造方法に係わる。

【0002】

【従来の技術】 多結晶シリコン薄膜を用いた薄膜トランジスタ (TFT)、特に膜質の均一性に優れた多結晶シリコンに形成した薄膜トランジスタは、動作マージン、信頼性、スタンバイ電流等を十分に確保するために、高抵抗負荷型の SRAM (スタティック・ランダム・アクセス・メモリ) 等の負荷素子として用いられている。

【0003】 多結晶シリコンは例えば通常の化学的気相成長 (CVD) 法により形成することができるが、特に結晶粒の比較的大なる多結晶シリコン膜を形成しようとする場合、膜質の均一性に優れ且つ低リークで高キャリア移動度を有する膜を形成することは難しい。これに対し、ランダム固相成長法、或いは低濃度にイオンを注入した後レジストマスクを介して選択的に高濃度にイオンを注入して結晶成長核を発生させ、この後低温固相成長を行う選択的成長方法等が提案されている。このような固相結晶成長法 (SPC: Solid Phase Crystallization) 技術は、多結晶シリコンの大粒径化が可能で、このため高移動度化が可能となり、上述したような TFT 積層構成の高抵抗負荷型 SRAM 等への応用研究試作が盛んになっている。

【0004】

【発明が解決しようとする課題】 しかしながら上述のランダム固相成長法による場合は、結晶を選択的に成長させることが難しいので、トランジスタのチャネルが結晶粒界にかかる恐れがあり、この場合リーク電流やしきい電圧にばらつきを生じさせ、トランジスタの信頼性の低下を招く恐れがある。また、上述の選択的成長方法による場合はレジスト被着による表面汚染や、低濃度イオン注入領域の不均一性による膜質の不均一化等を生じる恐

れがある。

【0005】 これに対し、本出願人は先に特願平 3-285702 号出願において、非晶質半導体層にエキシマレーザ光を照射して結晶成長核を発生する方法を提案した。この方法の一例による単結晶領域の形成方法を図 5A~D の工程図を参照して説明する。この場合、図 5A に示すように、シリコン等より成る基板 1 上に、SiO₂ 等の絶縁層 2 を形成した後この絶縁層 2 上にアモルファスシリコン等より成る非晶質半導体層 3 をプラズマ CVD 法等により形成する。

【0006】 そして図 5B に示すように、この非晶質半導体層 3 の上面に、例えば SiO₂ 層 4a 及び Si 層 4b が積層されたマスク層 4 を形成し、このマスク層 4 の所定の位置に、非晶質半導体層 3 に達する深さの開孔 4h をフォトリソグラフィ等の適用によって形成する。

【0007】 そして次に図 5C に示すようにこの開孔 4h を通じてエキシマレーザを矢印 E で示すように照射して、この非晶質半導体層 3 に結晶成長核 5 を発生させる。その後低温固相アニール処理を施すことによって結晶成長核 5 より結晶を成長させて、図 5D に示すように単結晶領域 14 を形成する。6 は粒界を示す。

【0008】 この方法による場合、品質に優れた単結晶領域を選択的に成長することができて、例えばトランジスタのチャネル層に結晶粒界が形成されず、リーク電流が大幅に低減されて移動度が高くなり、しきい電圧のばらつきを減少させて、トランジスタの信頼性の向上をはかることができる。

【0009】 一方、例えば液晶ディスプレイ (LCD)、ラインセンサ等においてモノリシック化をはかるために高移動度の多結晶シリコンより成る薄膜トランジスタが用いられつつある。これらの装置には水平・垂直走査回路が内蔵されており、特にその走査回路においてキャリアを高速移動させるために、その走査部の薄膜トランジスタのチャネル長を一定で短くすると共に、特にそのチャネル幅を 20 μm 程度と比較的大とする構成が採られる。

【0010】 薄膜トランジスタの高性能化をはかるためには、チャネル領域の粒径を大とすることが考えられるが、上述したようにチャネル幅が 20 μm 程度の場合、チャネル領域全域にわたって単結晶領域とすることが難しく、図 6 に示すようにその一部に粒界が発生し、ある場合にはチャネル領域の延長方向に沿う方向、即ちキャリアの移動方向を横切る方向に粒界が生じてしまう恐れがあり、前述の単結晶領域形成方法による場合においても、充分このような粒界の発生を抑制して高キャリア移動度を確実に得ることが難しい。

【0011】 本発明はこのようなチャネル幅の比較的大なる薄膜トランジスタにおいても、充分そのキャリアの移動方向を横切る方向の粒界の発生を抑制して、より確実に活性層内の膜質を均一化してトランジスタの移動度

μ 等のばらつきを抑えて、薄膜トランジスタの高性能化をはかることを目的とする。

【0012】

【課題を解決するための手段】本発明は、その一例の製造工程図を図1A～Cに示すように、基板1上に少なくとも非晶質半導体層3を形成した後、非晶質半導体層3の活性領域が形成される領域に、キャリアの移動方向と垂直な方向に延長する線状パターンに、図1Bにおいて矢印Lで示すように輻射線を照射して、図1Cに破線Aで示すように線状に結晶成長核を形成した後、低温加熱により固相結晶成長して単結晶領域14を形成する。

【0013】また、本発明は、基板1上に少なくとも非晶質半導体層3を形成した後、この非晶質半導体層3のソース領域又はドレイン領域が形成される領域に、キャリアの移動方向と垂直な方向に延長する線状パターンに輻射線を照射して、破線Aで示すように線状の結晶核を形成した後、低温加熱により固相結晶成長して単結晶領域14を形成する。

【0014】

【作用】上述したように本発明によれば、輻射線即ちレーザビーム、電子線或いはイオンビーム等を活性領域内に、キャリアの移動方向に垂直な方向即ちチャネル幅方向に沿って延長する線状パターンとして照射して、このチャネル幅方向に延長する線状の結晶成長核を形成した後、固相結晶成長して単結晶領域を形成するものであり、この場合単結晶領域は横方向即ちキャリアの移動方向に沿う方向に成長し、結晶転移等の粒界はこのキャリアの移動方向を横切る方向には発生せず、チャネル幅が大とされる薄膜トランジスタにおいても活性領域を良好で均一な膜質をもって形成することができる。

【0015】また本発明においては、輻射線をソース又はドレイン領域にキャリアの移動方向と垂直な方向即ちこの場合も同様にチャネル幅方向に沿って延長する線状パターンに照射して、この方向に沿う線状に結晶成長核を形成して固相結晶成長することによって、同様に粒界を活性領域内にキャリアの移動方向を横切る方向に発生させることなく良好で均一な膜質をもって形成することができる。

【0016】従ってこれら本発明によれば、チャネル幅が比較的大とされる薄膜トランジスタにおいても、その活性領域を上述したように良好で均一な膜質をもって形成することができることから、キャリア移動度 μ を大とできて高い相互コンダクタンス g_m が得られ、特にLCD等の走査回路における薄膜トランジスタの製造にあたって本発明を適用する場合は、動作周波数を大としてより高解像度のモノシリク化が可能となる。

【0017】

【実施例】以下本発明実施例の各例を図面を参照して詳細に説明する。各例共に、前述の特願平3-285702号出願において提案したシリコン薄膜の形成方法を適

用した場合で、非晶質シリコン薄膜を形成した後、輻射線としてこの場合エキシマレーザを照射して結晶成長核を発生させ、その後低温固相アニールを施してシリコン薄膜を形成する場合を示す。

【0018】先ず図1Aに示すように、例えばLPCVD（低圧の化学的気相成長）法によって例えばSiより成る基板1の上面にSiO₂等より成る絶縁層2を形成する。続いてSiH₄（モノシラン）またはSi₂H₆（ジシラン）を反応ガスとして用いてLPCVD法又はプラズマCVD法等によって、絶縁層2の上面に非晶質シリコンより成る非晶質半導体層3を例えば40nmの厚さに成膜する。

【0019】またこのとき、CVD法によって基板1の上面に多結晶シリコン層を形成し、その後形成した多結晶シリコン層にSi⁺をイオン注入し、この多結晶シリコン層を非晶質化して非晶質半導体層3を形成してもよい。或いは、基板1の上面にSiO₂等より成る絶縁層2を形成せずに、石英ガラス等により成る基板1に上述の工程と同様にCVD法によって非晶質シリコンより成る非晶質半導体層3を成膜することもできる。

【0020】その後例えばCVD法によって非晶質半導体層3の上面に500nm程度の厚さの例えば酸化シリコン（SiO₂）層4aと100nm程度の厚さのシリコン（Si）層4bとより成るマスク層4を形成する。この場合酸化シリコン層4aは、エキシマレーザ光を照射することによりこの上のシリコン層4bで熱変換されたエキシマレーザの熱を、このシリコン層4aによって十分に逃がすことができるようにその厚さを選定する。またシリコン層4aは、エキシマレーザが透過しない厚さに選定する。通常80nm程度以上であれば良い。

【0021】次に図1Bに示すように、フォトリソグラフィ等の適用によって、マスク層4の上面即ちこの場合シリコン層4bの上面にレジスト（図示せず）を塗布した後パターン露光、現像によりレジストパターンを形成し、これをマスクとしてRIE（反応性イオンエッチング）等の異方性エッチングを行って、酸化シリコン層4a及びシリコン層4bより成るマスク層4に非晶質半導体層3に達する深さの開孔4hを設ける。この開孔4hは、後述の工程で形成する薄膜トランジスタのキャリアの移動方向に垂直な方向、即ちチャネル幅方向に沿う方向に延長する線状パターンとして形成し、その幅は0.8 μ m程度以下とする。この幅が0.8 μ m以上とされる場合は低温固相成長処理後に結晶成長する領域が多結晶シリコンとなる。

【0022】その後図1Bにおいて矢印Lで示すように、このマスク層4の開孔4hを通じて輻射線、例えばエキシマレーザを非晶質半導体層3に照射する。エキシマレーザが照射された部分には結晶成長核が破線Aで示すように線状に発生する。照射するエキシマレーザのエネルギー密度は、非晶質半導体層3の厚さに対応してこ

の非晶質半導体層3が結晶化しないように選定する。例えば非晶質半導体層3の厚さが40nmの場合は例えば60mJ/cm²とすることができる。

【0023】そして次にマスク層4をウェットエッチング、プラズマエッチング等の非晶質半導体層3にダメージを与えない手段によって除去し、例えば電気炉を用いて窒素雰囲気中で600℃40時間の低温固相アニールを施して、図1Cにおいて破線Aで示す線状の結晶成長核の両側に広がるように、単結晶領域14を形成する。6は単結晶領域14の粒界を示す。

【0024】そしてこの後、図2に略線的拡大断面図を示すように、単結晶領域14の上部にSiO₂等より成るゲート絶縁層7を介してゲート電極8を形成し、その両側にソース/ドレイン領域9s及び9dを形成してトップゲート型の薄膜トランジスタを得ることができる。

【0025】この場合、図3にその略線的拡大平面図を示すように、破線Aで示す線状の結晶成長核の直上にゲート電極8を形成し、その両側にソース/ドレイン領域9s及び9dを形成して、活性領域9c即ちチャンネル領域において、キャリアの移動方向を横切る粒界が発生しないようになされる。このような構成とすることによって、チャンネル幅が20μm程度と比較的大とされる場合においても、確実に活性領域9cにおけるキャリア移動度を大とすることができる。

【0026】また、他の本発明実施例においては、図4にその一例の略線的拡大平面図を示すように、結晶成長核をソース領域又はドレイン領域、この場合ソース領域9sが形成される領域に線状に形成する。即ちこの場合、ゲート電極8を破線Bで示す結晶成長核から間隔ΔLを1~2μmの例えば1μmとしてパターニング形成し、この後その両側にソース及びドレイン領域9s及び9dを形成して、結晶成長核の両側に広がって形成される単結晶領域内に活性領域9cが確実に含まれるようになる。

【0027】この場合、ドレイン領域9d内に結晶成長核5が形成される場合も同様に活性領域9cを単結晶領域とすることができる。

【0028】尚、上述したように線状の結晶成長核から単結晶領域を形成する場合、結晶核部分に微小な結晶欠陥が残る恐れがあるが、キャリアの移動方向を横切る結晶転移等の粒界は発生しないため、充分キャリアの移動度を高めることができる。しかしながら活性領域での微小欠陥の発生を確実に回避することができることから、ソース領域が形成される領域に結晶成長核を形成することが望ましい。

【0029】このようにして形成された活性領域9cチャンネル幅方向に長いパターンとされる場合においても均一性に優れた膜質とすることができ、低リーク電流で且

つキャリア移動度μが高く従って相互コンダクタンスg_mの大なる薄膜トランジスタを得ることができる。またこの活性領域即ちチャンネル領域に結晶粒界が存在しないのでリーク電流やしきい電圧のばらつきを抑制することができる。

【0030】尚、上述の例においてはエキシマレーザを照射して結晶成長核を形成したが、その他低濃度にシリコンイオンを注入した後選択的に高濃度にシリコンイオンを注入して結晶成長核を発生させる方法、又は電子ビームやイオンビームにより結晶成長核を発生させる方法等種々の方法を用いることができると共に、上述のトップゲート型の他ボトムゲート型等種々の薄膜トランジスタを形成する場合に本発明を適用することができることはいうまでもない。

【0031】

【発明の効果】上述したように本発明によれば、チャンネル幅が比較的大とされる場合においても活性領域を良好で均一な膜質をもって形成することができて、低リーク電流、高キャリア移動度を得ることができると共に相互コンダクタンスを大とすることができて、またそのリーク電流、しきい電圧のばらつきを抑制して、信頼性の高い薄膜トランジスタを得ることができる。

【図面の簡単な説明】

【図1】本発明実施例の製造工程図である。

【図2】薄膜トランジスタの一例の略線的拡大断面図である。

【図3】薄膜トランジスタの一例の略線的拡大平面図である。

【図4】薄膜トランジスタの他の例の略線的拡大平面図である。

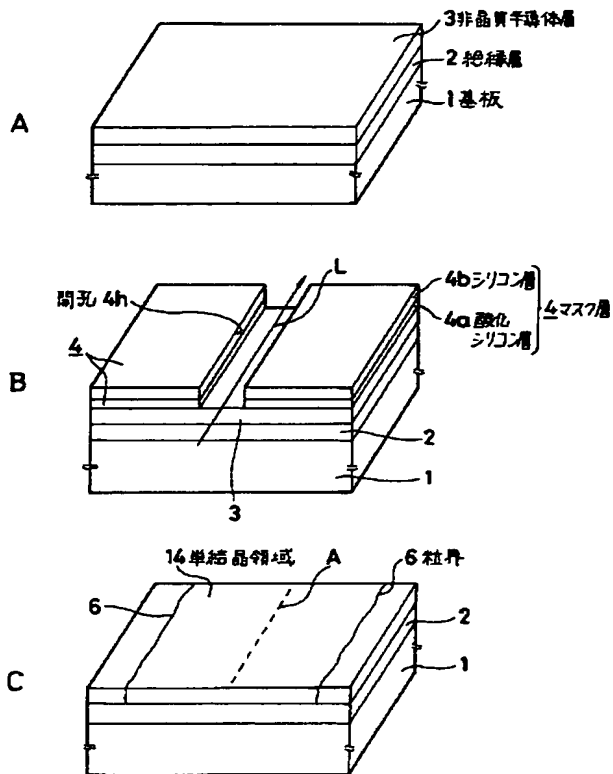
【図5】単結晶領域の形成方法の一例の製造工程図である。

【図6】単結晶領域の形成方法の一例の一製造工程図である。

【符号の説明】

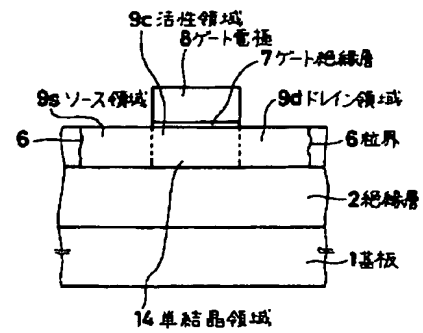
- 1 基板
- 2 絶縁層
- 3 非晶質半導体層
- 4 マスク層
- 5 結晶成長核
- 6 粒界
- 7 ゲート絶縁層
- 8 ゲート電極
- 9c 活性領域
- 9s ソース領域
- 9d ドレイン領域
- 14 単結晶領域

【図 1】



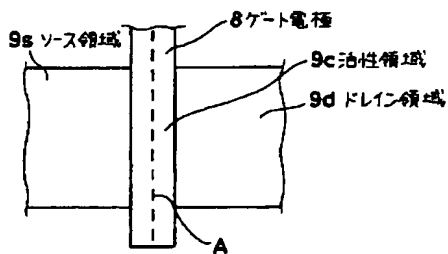
本発明実施例の工程図

【図 2】



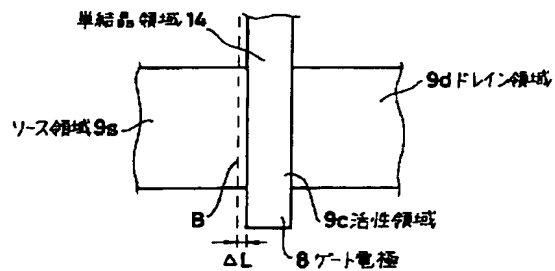
薄膜トランジスタの一例の断面図

【図 3】



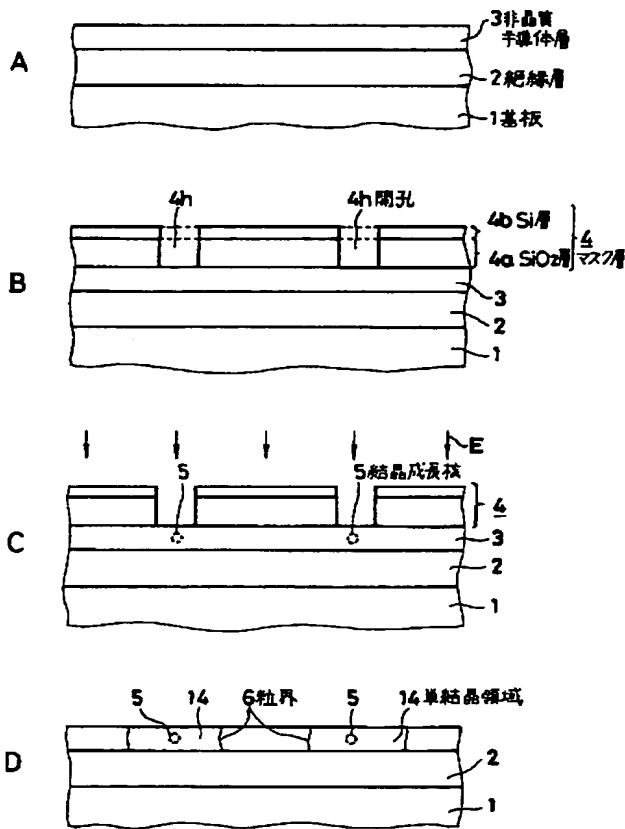
薄膜トランジスタの一例の平面図

【図 4】



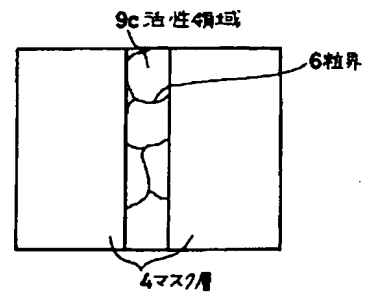
薄膜トランジスタの他の例の平面図

【図 5】



単結晶領域の形成方法の製造工程図

【図 6】



単結晶領域の形成方法の一工程図